

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-326896

(43)Date of publication of application : 08.12.1998

(51)Int.Cl.

H01L 29/78  
H01L 21/768

(21)Application number : 10-075345

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.03.1998

(72)Inventor : IGARASHI WATARU  
NARUGE YASUO

(30)Priority

Priority number : 09 70996    Priority date : 25.03.1997    Priority country : JP

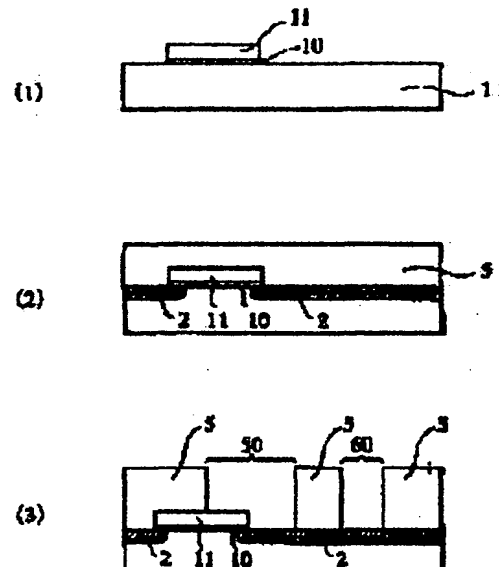
## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To inhibit increase in the number of the production processes of a semiconductor device and to simplify the processes by a method wherein an interconnect structure and a contact are formed simultaneously.

**SOLUTION:** A gate-insulating film 10 consisting of a silicon dioxide film and a gate electrode 11 consisting of a polysilicon layer are lamination-formed on a P-type semiconductor substrate 1 in a thickness of 10 nm and a thickness of 100 nm or thereabouts. Impurities are implanted in the surface of the substrate 11 using the electrode 11 as a mask, and diffused layers 2 used as a source and a drain are formed in the substrate 1.

Moreover, an interlayer insulating film 5 consisting of a silicon dioxide film is formed on the entire surface in such a way as to cover the entire surface using a CVD method, and the film 5 is patterned to form simultaneously an opening part 50 and an opening part 60 as a local interconnect and a contact respectively.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326896

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.<sup>8</sup>H 0 1 L 29/78  
21/768

識別記号

F I

H 0 1 L 29/78  
21/903 0 1 X  
D

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平10-75345

(22) 出願日 平成10年(1998)3月24日

(31) 優先権主張番号 特願平9-70996

(32) 優先日 平 9 (1997) 3 月 25 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 五十嵐 渉

神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内

(72) 発明者 成毛 康雄

神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内

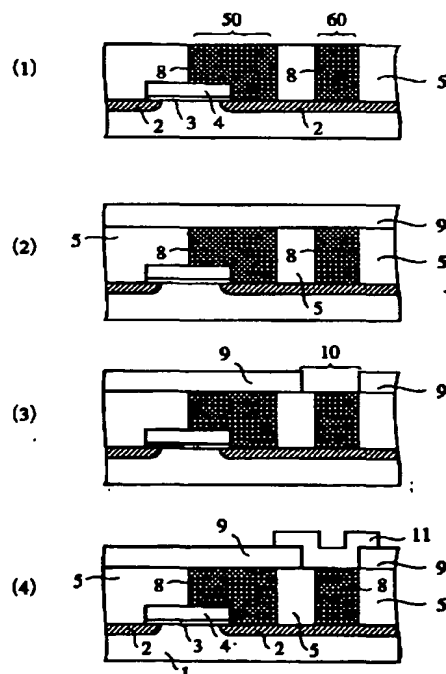
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 本発明は、ローカルインターコネクト構造とコンタクトを形成する際に、工程数の増加を抑制し、工程の簡素化を可能とした半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板表面に形成され、ソース又はドレインとして使用する第一の拡散層と、前記半導体基板上のゲート絶縁膜の上に形成されたゲート電極を有するMOS型トランジスタと、前記半導体基板上に形成され、かつ、前記ゲート電極の高さよりも高く形成された層間絶縁膜と、前記層間絶縁膜の表面から、前記第一の拡散層及び前記ゲート電極に達するローカルインターコネクトと、前記層間絶縁膜内で、かつ、前記MOS型トランジスタ及び前記ローカルインターコネクトが形成された領域以外に形成された導電層と、前記層間絶縁膜の表面から前記導電層に達するコンタクトとを有する事を特徴とする。



1

## 【特許請求の範囲】

【請求項 1】半導体基板上に設けられたゲート絶縁膜の上に形成されたゲート電極を有し、かつ、前記ゲート絶縁膜に隣接して設けられた第一及び第二の拡散層を有する MOS 型トランジスタと、

前記半導体基板上に形成され、かつ、前記ゲート電極の高さよりも高く形成された層間絶縁膜と、

前記層間絶縁膜の上面から前記第一の拡散層及び前記ゲート電極に達する第一のコンタクト孔に埋め込まれた第一の電極材料と、

前記第一のコンタクト孔が形成されていない前記層間絶縁膜の上面から前記第一の拡散層に達する第二のコンタクト孔に埋め込まれた第二の導電材料と、を有する事を特徴とする半導体装置。

【請求項 2】前記第一及び第二の導電材料が、同一の導電材料である事を特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 3】前記層間絶縁膜及び前記第一の導電材料の表面に形成された第一の絶縁膜と、

前記第二の導電材料に電気的に接続された配線と、  
を更に具備した事を特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極を形成する工程と、  
前記ゲート絶縁膜に隣接した第一及び第二の拡散層を形成する工程と、

前記半導体基板の上に前記ゲート絶縁膜よりも高く層間絶縁膜を形成する工程と、

前記層間絶縁膜に、前記第一の拡散層の表面と前記ゲート電極の表面を露出させる第一の開口部を形成すると同時に、前記第一の拡散層に達する第二の開口部を形成する工程と、

前記第一及び第二の開口部に電極材料を形成する工程と、  
を有する事を特徴とする半導体装置の製造方法。

【請求項 5】前記層間絶縁膜の上面に絶縁膜を形成する工程と、

前記絶縁膜に、前記第二の開口部に形成された電極材料に達する第三の開口部を形成する工程と、

前記第三の開口部に、配線材料を埋め込む事により配線を形成する工程と、  
を更に有することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】第一及び第二の拡散層に隣接した半導体基板上に設けられたゲート絶縁膜の上に形成された第一のゲート電極とを有する第一の MOS 型トランジスタと、  
第三及び第四の拡散層に隣接した前記半導体基板上に設けられた前記ゲート絶縁膜の上に形成された第二のゲート電極とを有し、前記第一の MOS 型トランジスタと電気的に分離された第二の MOS 型トランジスタと、  
前記半導体基板上に前記第一及び第二のゲート電極の高

2

さよりも高く形成された層間絶縁膜と、

前記層間絶縁膜の上面から前記第一の拡散層に達するコンタクト孔に埋め込まれた第一のコンタクトと、

前記層間絶縁膜の上面から前記第一の MOS 型トランジスタの第二の拡散層と前記第二の MOS 型トランジスタの第三の拡散層の双方に達するコンタクト孔に埋め込まれた第二のコンタクトと、

前記層間絶縁膜の上面から前記第一の拡散層に達するコンタクト孔に埋め込まれた第一のコンタクトと、  
を有する事を特徴とする半導体装置。

【請求項 7】半導体基板の表面に第一及び第二の拡散層を有する第一の MOS 型トランジスタを形成する工程と、

前記第一の MOS 型トランジスタとは素子分離絶縁膜により電気的に分離されており、前記半導体基板の表面に第三及び第四の拡散層を有する第二の MOS 型トランジスタを形成する工程と、

前記半導体基板の上に層間絶縁膜を形成する工程と、  
前記層間絶縁膜の上面から前記素子分離絶縁膜の上面、

及び前記第一の MOS 型トランジスタの第二の拡散層、  
及び前記第二の MOS 型トランジスタの第三の拡散層に

達する第一のコンタクト孔と、前記層間絶縁膜の上面から前記第一の MOS 型トランジスタの第一の拡散層に達する第二のコンタクト孔と、

前記第二の MOS 型トランジスタの第四の拡散層に達する第三のコンタクト孔とを同時に形成する工程と、

前記第一及び第二及び第三のコンタクト孔に電極材料を形成する工程と、  
を有する事を特徴とする半導体装置の製造方法。

【請求項 8】前記層間絶縁膜の上に絶縁膜を形成する工程と、

前記絶縁膜に前記第二のコンタクト孔に形成された電極材料に達する第四のコンタクト孔と、前記絶縁膜に前記第三のコンタクト孔に形成された電極材料に達する第五のコンタクト孔とを同時に形成する工程と、

前記第四及び第五のコンタクト孔に配線材料を形成する工程と、  
を有する事を特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の接線技術に関するもので、特に、高集積化が要求される半導体メモリに使用されるものである。

【0002】

【従来の技術】従来技術に関し、図を参照しながら説明する。近年の半導体チップの微細化に伴い、トランジスタのゲート電極と拡散層を接続する方法としてローカルインターコネクトが使用されている。特に、高集積化が要求される半導体メモリ（SRAM）に有効である。

【0003】図 1 に従来技術に係るローカルインターコ

10

20

30

40

50

3

ネクト及びコンタクトの形成方法について説明する。図 1 (1) に示すように、半導体基板 1 の上にゲート絶縁膜 3 及びゲート電極 4 を積層形成する。

【0004】次に、図 1 (2) に示すように、ゲート電極 4 をマスクにして半導体基板 1 にイオン注入法を用いてソース又はドレインとして使用する拡散層 2 を形成する。その後、CVD法を用いて、全面に二酸化シリコンからなる層間絶縁膜 7 を形成する。この際、層間絶縁膜 7 を、ゲート電極 4 の高さよりも高く堆積する。

【0005】次に、図 1 (3) に示す様に、写真蝕刻法により、ゲート電極 4 の上面及び拡散層 2 の一方の上面を露出させ、開口部 8 を形成する。次に、図 1 (4) に示す様に、開口部 8 の内面及び層間絶縁膜 7 の上面に電極材料 9 をスパッタ法等を用いて堆積する。

【0006】次いで、図 2 (1) に示す様に、CMP法を用いて層間絶縁膜 7 の上の電極材料 9 を除去する。ここで、開口部 8 においては、ゲート電極 4 と拡散層 2 の一方とが電氣的に接続されており、ローカルインターコネクトを形成する。

【0007】次に、図 2 (2) に示す様に、全面に二酸化シリコンからなる層間絶縁膜 8 を CVD法を用いて堆積する。次いで、図 2 (3) に示す様に、写真蝕刻法により、層間絶縁膜 7 及び 8 に拡散層 2 に達するようにコンタクトを形成し、このコンタクトに電極材料 10 に埋め込み、上層配線 11 を形成する。以上により、ローカルインターコネクト及びコンタクトが形成される。

【0008】

【発明が解決しようとする課題】前述の様に、ローカルインターコネクトとコンタクトを形成する場合、まず最初にローカルインターコネクトを形成し（図 1 (1) ～図 2 (1) 参照）、その後コンタクト 10 を形成する（図 2 (2) ～図 2 (3) 参照）。即ち、ローカルインターコネクト構造とコンタクトを別々に製造していた。この為、工程数が多く、複雑になり、コストが増加していた。

【0009】本発明は、かかる問題に鑑みてなされたものであり、ローカルインターコネクト構造とコンタクトを形成する際に、工程数の増加を抑制し、工程の簡素化を可能とした半導体装置及びその製造方法を提供する事を目的とする。

【0010】

【課題を解決するための手段】本発明は、以上の目的を達成する為、インターコネクト構造とコンタクトを同時に形成する事を可能とした半導体装置を提供する事を主とし、具体的に本発明は、半導体基板表面に形成され、ソース又はドレインとして使用する第一及び第二の拡散層と前記半導体基板上のゲート絶縁膜の上に形成されたゲート電極とを有する MOS 型トランジスタと、前記半導体基板上に形成され、かつ、前記ゲート電極の高さよりも高く形成された層間絶縁膜と、前記層間絶縁膜の表

4

面から、前記第一の拡散層と前記ゲート電極の双方に達する第一の接続領域、及び、前記層間絶縁膜の表面から、前記 MOS 型トランジスタ及び前記第一の接続領域が形成された領域以外に形成された導電層に達する第二の接続領域と、前記第一の接続領域に形成された第一の導電材料と、前記第二の接続領域に形成された第二の導電材料と、を有する事を特徴とする。

【0011】本願発明は以上の様な構成を採用する事により、インターコネクト構造とコンタクトを同時に形成する事が出来るので、工程数の増加を抑制し、工程を簡素化する事が可能とする半導体装置及び半導体装置に製造方法の提供を可能とする。

【0012】

【発明の実施の形態】本発明の第一の実施形態を図を用いて詳細に説明する。図 3 (1) に示すように、P 型半導体基板 1 の上に二酸化シリコンからなるゲート絶縁膜を 10 nm、ポリシリコンからなるゲート電極 11 を 100 nm 程度積層形成する。

【0013】図 3 (2) に示すように、ゲート電極 11 をマスクにし、P 型半導体基板 11 の表面に不純物（ホウ素、リン等）を注入し、ソース又はドレインとして使用される拡散層 2 を形成する。以上により、MOS 型トランジスタが形成される。

【0014】更に、全面を覆う様に、厚さ数十 nm 程度の二酸化シリコンからなる層間絶縁膜 5 を CVD法を用いて形成する。図 (3) に示す様に、写真蝕刻法を用いて、層間絶縁膜をパターニングする事により、開口部 50 及び開口部 60 を同時に形成する。後述するが、開口部 50 はローカルインターコネクトとして、開口部 60 はコンタクトとして使用される。

【0015】従来においては、ローカルインターコネクトを先に形成し、その後にコンタクトを形成していたのに対して、本願発明においては、ローカルインターコネクトとして使用される開口部 50 とコンタクトとして使用される開口部 60 とを同時に形成している。

【0016】図 4 (1) に示す様に、開口部 50 及び開口部 60 が完全に充填される様に、層間絶縁膜 5 の表面に、電極材料 8（例えば、タングステン W 等）を、スパッタ法を用いて形成する。その後、CMP 法等を用いて層間絶縁膜 5 の上面が露出するまで後退させる。これにより、開口部 50 と開口部 60 に内のみ電極材料 8 を残存させる事ができる。

【0017】また、開口部 50 において、ゲート電極 4 と拡散層 2 が電氣的に接続され、ローカルインターコネクトが形成される。また、開口部 60 においては、拡散層 2 に達するコンタクトが形成される。

【0018】図 4 (2) に示す様に、層間絶縁膜 5 及び配線材料 8 の上面に、CVD法を用いて二酸化シリコンからなる厚さ数十 nm 程度の絶縁膜 9 を形成する。次に、図 4 (3) に示すように、写真蝕刻法を用いて絶縁膜 9

## 5

に開口10を形成し、スパッタ法を用いて、配線材料11（例えば、アルミニウムからなる金属配線）を形成し、図4（3）に示すように加工する。以上の様に、本発明にかかる半導体装置が形成される。

【0019】また、上記実施例では、ローカルインターコネクに使用される開口部50と、コンタクトに使用される開口部60に埋め込まれた配線材料8とは同じ材質であるが、異なる材質でも良い。

【0020】また、図5（1）に示し様に、MOS型トランジスタの拡散層2と、コンタクト8が達する拡散層18が、分離していても良い。また、図5（2）に示した様に、コンタクト8は、絶縁膜33及びゲート電極44の積層構造からなる電極に達していても良い。

【0021】本発明にかかる実施形態は以上の様に構成されるので、ローカルインターコネクとコンタクトを同時に形成する事ができる。この為、従来の様にローカルインターコネクを形成した後形成する層間絶縁膜（図2（2）における層間絶縁膜8）を形成する必要がなくなるので、製造工程数が減少する。

【0022】また、従来は、ローカルインターコネクに使用する開口部とコンタクトに使用する開口部を別々に形成していたので、マスクずれ等により双方が重ならないように、ある程度それらの距離を保たなければならなかった。それに対して、本実施形態においては、それらを同時に形成する為、双方が重なりある事はない。従って、微細化が可能となる。

【0023】また、従来におけるローカルインターコネクは凹凸のある形状であったため、その上に形成する層間絶縁膜（図2（2）参照）は平坦にならず、平坦にするためには更に工程数を増加させなければならなかった。それに対して、本実施形態においては、ローカルインターコネクの上面の形状は平坦である為、その上に形成する層及び配線も平坦に形成する事ができる。従って、段差を平坦にする工程を省略できる。

【0024】また、図4（4）に示されるように、開口部50に埋め込まれた電極材料8と、開口部60に埋め込まれた電極材料8とは、層間絶縁膜5の表面において、同じ高さである。従って、本願発明に於いては、絶縁膜9を設ける事により、配線材料11と開口部50に埋め込まれた電極材料8とを電氣的に分離出来る。

【0025】次に、第二の実施形態について図面を参照しながら説明する。図6（1）に示した様に、半導体基板1の上面に素子分離絶縁膜100を形成し、露出した半導体基板1の表面に熱酸化法を用いて厚さ10nm程度の酸化膜101を形成する。

【0026】次に、図6（2）に示した様に、全面にCVD法を用いて厚さ100nm程度の厚さのポリシリコンからなる導電膜102を形成し、写真蝕刻法及び異方性エッチング法を用いて、導電膜102を所定の形状に加工する。次に、素子分離絶縁膜100及び導電膜10

## 6

2をマスクにして、イオン注入法を用いて半導体基板1の表面付近に不純物を注入する。これにより、拡散層103が形成されると同時に導電膜102にも不純物が注入される。

【0027】次に、図6（3）に示した様に、全面にCVD法を用いて全面に厚さ300nm程度の酸化膜104を形成する。次に、写真蝕刻法及び異方性エッチング法を用いて酸化膜104の所定の位置にコンタクト105（1）～105（3）を形成し、このコンタクト105にCVD法等を用いて導電膜110を埋め込む。

【0028】次に、図6（4）に示した様に、全面にCVD法を用いて酸化膜115を形成し、写真蝕刻法及び異方性エッチング法を用いてパターニングする。次に、全面にスパッタ法等を用いて導電膜120を堆積させて、写真蝕刻法及び異方性エッチング法により導電膜をパターニングする。

【0029】以上に工程により、本願発明にかかる半導体装置が形成される。図6（4）に示した様に拡散層103（1）と拡散層103（2）は導電膜110（1）を介して電氣的に接続されており、導電膜110（1）は特にローカルインターコネクと呼ぶ。

【0030】本発明にかかる実施形態は以上の様に構成されるので、ローカルインターコネク110（1）とコンタクト105（2）、105（3）を同時に形成する事ができる。この為、従来の様にローカルインターコネクを形成した後形成する層間絶縁膜（図2（2）における層間絶縁膜8）を形成する必要がなくなるので、製造工程数が減少する。

【0031】また、従来は、ローカルインターコネク110（1）に使用する開口部とコンタクトに使用する開口部を別々に形成していたので、マスクずれ等により双方が重ならないように、ある程度それらの距離を保たなければならなかった。それに対して、本実施形態においては、それらを同時に形成する為、双方が重なりある事はない。従って、微細化が可能となる。

【0032】また、従来におけるローカルインターコネクは凹凸のある形状であったため、その上に形成する層間絶縁膜（図2（2）参照）は平坦にならず、平坦にするためには更に工程数を増加させなければならなかった。それに対して、本実施形態においては、ローカルインターコネクの上面の形状は平坦である為、その上に形成する層及び配線も平坦に形成する事ができる。従って、段差を平坦にする工程を省略できる。

【0033】また、図6（3）に示されるように、コンタクト105（1）～（3）に埋め込まれた電極材料110は絶縁膜104の表面において同じ高さである。従って、本願発明に於いては絶縁膜115を設ける事により、導電材料120とコンタクト105（1）～（3）に埋め込まれた導電材料110間を電氣的に分離出来る。

7

【0034】次に、第三の実施形態を図面を参酌しながら説明する。図7に示した様に、半導体基板1にイオン注入法等を用いてPウエル130及びNウエル135を形成する。これ以降の製造工程は図6(1)～(4)と同じである為、省略する。本実施形態はCMOSインバータの製造に適用した例である。

【0035】次に、図7(2)に完成した半導体装置を示した。図7(2)に示した様に、NMOS270はPウエル上に形成され、PMOS280はNウエル上に形成されている。

【0036】本発明にかかる実施形態は以上の様に構成されるので、ローカルインターコネクト110(1)とコンタクト105(2)、105(3)を同時に形成する事ができる。この為、従来の様にローカルインターコネクトを形成した後形成する層間絶縁膜(図2(2)における絶縁膜8)を形成する必要がなくなるので、製造工程数が減少する。

【0037】また、従来は、ローカルインターコネクト110(1)に使用する開口部とコンタクトに使用する開口部を別々に形成していたので、マスクずれ等により双方が重ならないように、ある程度それらの距離を保たなければならなかった。それに対して、本実施形態においては、それらを同時に形成する為、双方が重なりある事はない。従って、微細なCMOSインバータの製造が可能となる。

【0038】また、従来におけるローカルインターコネクトは凹凸のある形状であったため、その上に形成する層間絶縁膜(図2(2)参照)は平坦にならず、平坦にするためには更に工程数を増加させなければならなかった。それに対して、本実施形態においては、ローカルインターコネクトの上面の形状は平坦である為、その上に形成する層及び配線も平坦に形成する事ができる。従って、段差を平坦にする工程を省略できる。

【0039】また、図7(2)に示されるように、コン\*

8

\*タクト105(1)～(3)に埋め込まれた電極材料110は絶縁膜104の表面において同じ高さである。従って、本願発明に於いては絶縁膜115を設ける事により、導電材料120とコンタクト105(1)～(3)に埋め込まれた導電材料110間を電氣的に分離出来る。

【0040】

【発明の効果】本発明は、インターコネクト構造とコンタクトを同時に形成する事が出来るので、工程数の増加を抑制し、工程を簡素化する事が出来る。

【図面の簡単な説明】

【図1】従来のにおけるローカルインターコネクトとコンタクトの製造工程を示した図である。

【図2】従来のにおけるローカルインターコネクトとコンタクトの製造工程を示した図である。

【図3】本発明にかかるローカルインターコネクトとコンタクトの製造工程を示した第一図である。

【図4】本発明にかかるローカルインターコネクトとコンタクトの製造工程を示した第二図である。

【図5】本発明にかかるローカルインターコネクトとコンタクトの他の態様例を示した図である。

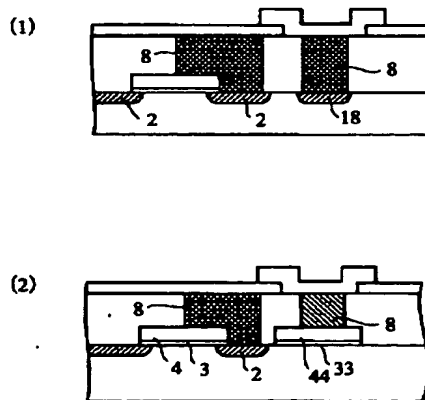
【図6】第二実施形態にかかる製造工程を示した図である。

【図7】第三実施形態にかかる製造工程を示した図である。

【符号の説明】

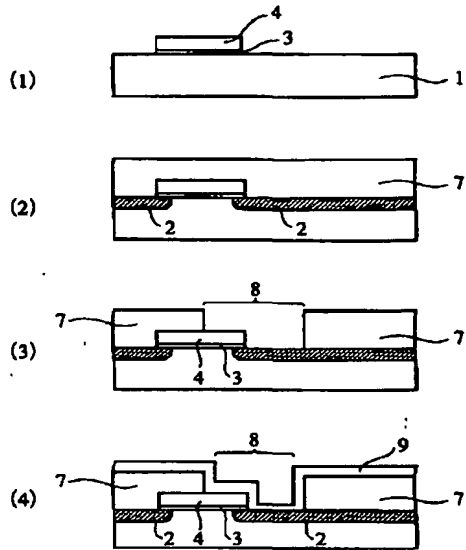
- 1 半導体基板
- 2 拡散層
- 3、9 ゲート絶縁膜
- 4 ゲート電極
- 5 層間絶縁膜
- 8 配線材料
- 11 配線

【図5】



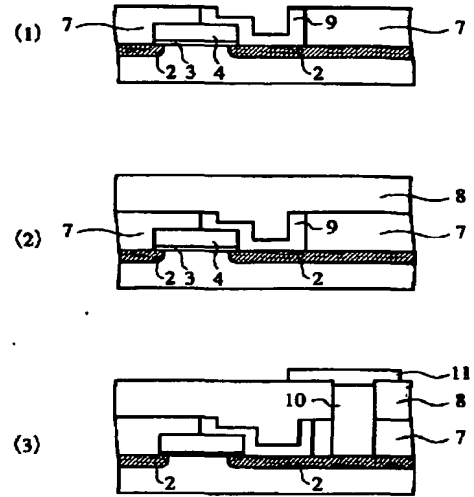
【図1】

従来技術

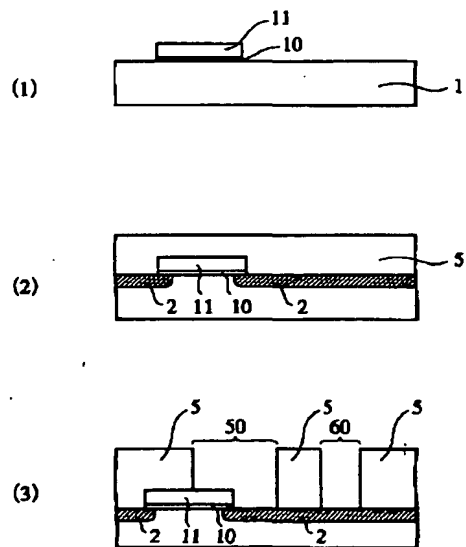


【図2】

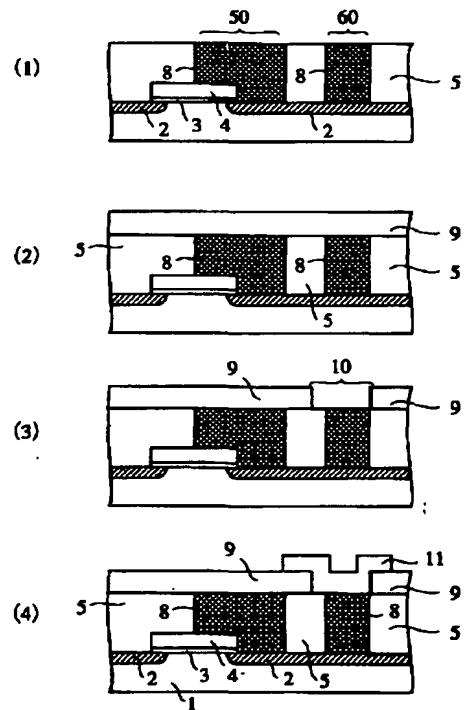
従来技術



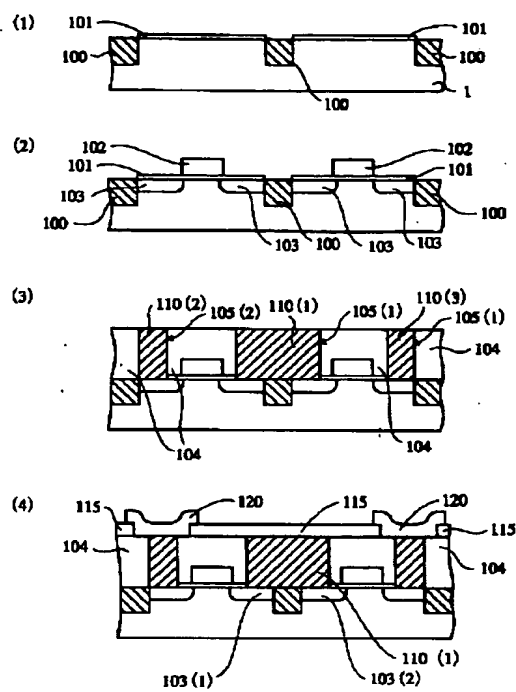
【図3】



【図4】



【図 6】



【図 7】

